

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-340839

(43)公開日 平成11年(1999)12月10日

(51)Int.Cl.⁶

識別記号

F I

H 0 3 M 9/00

H 0 3 M 9/00

B

G 0 6 F 5/00

G 0 6 F 5/00

S

13/38

3 5 0

13/38

3 5 0

審査請求 未請求 請求項の数3 O L (全 11 頁)

(21)出願番号 特願平10-145955

(22)出願日 平成10年(1998)5月27日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 磯田 修一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

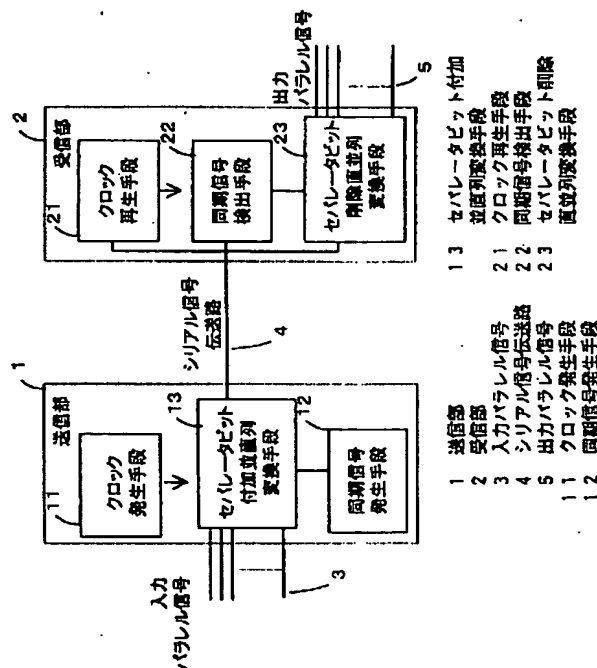
(74)代理人 弁理士 松田 正道

(54)【発明の名称】 パラレル信号シリアル伝送装置

(57)【要約】

【課題】 伝播遅延時間が長く、電源投入順序などの伝送装置の使用方法が制限され、ノイズなどの影響による同期はずれを生じる。

【解決手段】 基準クロックを発生するクロック発生手段11、同期信号を発生する同期信号発生手段12及び、発生した同期信号を付加し、入力パラレル信号3をシリアル信号に変換するセパレータビット付加並直列変換手段13を持つ送信部1と、受信シリアル信号からクロックを再生するクロック再生手段21、シリアル信号から同期信号を検出する同期信号検出手段22及び、シリアル信号をパラレル信号に変換するセパレータビット削除直並列変換手段23を持つ受信部2と、シリアル信号を伝送するシリアル信号伝送路4とを備える。



【特許請求の範囲】

【請求項 1】 $N+2$ ビットの同期信号を発生する同期信号発生手段及び、その発生した同期信号を付加し、入力したパラレル信号を N ビットづつの複数の組に分け、それらの組の間にセパレータビットを付加し、シリアル信号に変換するセパレータ付加並直列変換手段を有する送信部と、前記セパレータ付加並直列変換手段から出力されるシリアル信号を送送する伝送路と、その伝送路から受信した前記シリアル信号から信号再生の基準となる時間位置を検出する同期信号検出手段及び、その同期信号検出手段の出力を利用して、前記受信したシリアル信号のセパレータビットを削除しながらパラレル信号に変換するセパレータ削除並直列変換手段を有する受信部とを備えたことを特徴とするパラレル信号シリアル伝送装置。

【請求項 2】 入力したパラレル信号をシリアル信号に変換する並直列変換手段及び、その並直列変換手段の出力に対し、 N ビットの期間、同期信号の一部と一致するパターンを検出した場合、1 ビットのセパレータビットを付加するセパレータビット付加手段及び、 $N+2$ ビットの同期信号を発生する同期信号発生手段及び、前記セパレータビット付加手段の出力と前記同期信号発生手段の出力とを集合し、シリアル信号を発生する直列信号集合手段を有する送信部と、その発生したシリアル信号を送送する伝送路と、その伝送路から受信した前記シリアル信号から信号再生の基準となる時間位置を検出する同期信号検出手段及び、その同期信号検出手段の出力を利用して、前記受信したシリアル信号に N ビットの期間同期信号の一部と一致するパターンを検出した場合にセパレータビットを削除するセパレータビット削除手段及び、そのセパレータビット削除手段の出力をパラレル信号に変換する直並列変換手段を有する受信部とを備えたことを特徴とするパラレル信号シリアル伝送装置。

【請求項 3】 入力したパラレル信号をシリアル信号に変換する並直列変換手段及び、その並直列変換手段の出力の後半部分に同期信号の一部と一致する信号成分を検出する同期信号成分検出回路及び、その検出された信号成分に一致する部分を除いた期間の同期信号を発生する部分同期信号発生手段及び、前記並直列変換手段の出力と前記部分同期信号発生手段との出力を集合し、シリアル信号を発生する直列信号集合手段を有する送信部と、その発生したシリアル信号を送送する伝送路と、その伝送路から受信したシリアル信号から信号再生の基準となる時間位置を検出する同期信号検出手段及び、その同期信号検出手段の出力を利用して、前記受信したシリアル信号をパラレル信号に変換する直並列変換手段を有する受信部とを備えたことを特徴とするパラレル信号シリアル伝送装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、パラレル信号をシリアル信号に変換して伝送するパラレル信号シリアル伝送装置に関するものである。

【0002】

【従来の技術】 一般にパラレル信号を送送する場合、転送する信号の本数だけケーブルなどの伝送路を準備したり、パラレル信号をシリアル信号に変換し、単一のケーブルなどの伝送路を用いて送り、受信側でシリアル信号をパラレル信号に変換する方法が用いられていた。単一のケーブルを用いて一方向に信号をシリアル伝送する場合、送信側と受信側のビットの対応を正しくするため、信号の同期をとる必要がある。任意のパラレル信号を送し、自動的に同期が取れるようにするには、信号の取り得る全ての状態以外の状態を同期信号としなければならない。すなわち、同期信号は、転送するパラレル信号のビット数より長いものが必要になる。図 8 に、同期信号とパラレルデータの信号を含む有効信号の関係を示す。図 8 に示すように、同期信号が占める割合が大きくなり、実際に有効な信号の転送に用いられる時間は半分以下になる。

【0003】 シリアルデータ伝送装置の使用方法で、送信側、受信側の電源投入順序を制限すれば、同期方法を簡略化できる。しかし、操作手順を間違えると同期が取れないという問題や、途中ノイズなどの外乱で同期が外れてしまうとやはり同期が取れなくなるという特性を持っている。

【0004】

【発明が解決しようとする課題】 パラレル信号を転送する信号の本数だけケーブルなどの伝送路を用いて伝送する場合、伝送長が長い場合や、単一の伝送路に要する費用が大きく伝送する信号数が多い場合は、パラレルの伝送路を実現するために必要な費用は非常に大きくなる。そのため、単一の伝送路を用いたシリアル伝送が有利になる。しかしながら、従来の技術で触れたように、同期信号が信号伝送時間に占める割合が大きくなり、信号を送送する周期が長くなる。図 9 に、ある 1 本の信号（信号 A と呼ぶ）が変化したとき、その信号がシリアル伝送で受信側に伝わる様子を示す。信号 A がシリアル信号に埋め込まれるのは、有効信号中の信号 A のスロットとして示した部分である。従って、シリアル伝送を使って信号を送送する場合は、必ず比較的長い伝播遅延時間が存在する。パラレル信号のシリアル伝送には、より短い伝播遅延時間が要求されている。

【0005】 また、電源投入順序などの伝送装置の使用方法を制限することなく、またノイズなどの影響による同期はずれを無くし、安定した信号伝送を実現することも重要なポイントである。

【0006】 本発明は、従来のシリアル伝送におけるこのような課題を考慮し、比較的短い遅延時間を持ち、操作が容易で安定した信号伝送が行えるパラレル信号シリアル

10

20

30

40

50

アル伝送装置を提供することを目的とするものである。

【0007】

【課題を解決するための手段】請求項1の本発明は、 $N+2$ ビットの同期信号を発生する同期信号発生手段及び、その発生した同期信号を付加し、入力したパラレル信号を N ビットずつの複数の組に分け、それらの組の間にセパレータビットを付加し、シリアル信号に変換するセパレータ付加並直列変換手段を有する送信部と、セパレータ付加並直列変換手段から出力されるシリアル信号を伝送する伝送路と、その伝送路から受信したシリアル信号から信号再生の基準となる時間位置を検出する同期信号検出手段及び、その同期信号検出手段の出力を利用して、受信したシリアル信号のセパレータビットを削除しながらパラレル信号に変換するセパレータ削除直並列変換手段を有する受信部とを備えたパラレル信号シリアル伝送装置である。

【0008】この構成により、安定な同期特性を持つことができ、同期に必要なビット数を削減でき、遅延時間を短縮できる。

【0009】請求項2の本発明は、入力したパラレル信号をシリアル信号に変換する並直列変換手段及び、その並直列変換手段の出力に対し、 N ビットの期間、同期信号の一部と一致するパターンを検出した場合、1ビットのセパレータビットを付加するセパレータビット付加手段及び、 $N+2$ ビットの同期信号を発生する同期信号発生手段及び、セパレータビット付加手段の出力と同期信号発生手段の出力とを集合し、シリアル信号を発生する直列信号集合手段を有する送信部と、その発生したシリアル信号を伝送する伝送路と、その伝送路から受信したシリアル信号から信号再生の基準となる時間位置を検出する同期信号検出手段及び、その同期信号検出手段の出力を利用して、受信したシリアル信号に N ビットの期間同期信号の一部と一致するパターンを検出した場合にセパレータビットを削除するセパレータビット削除手段及び、そのセパレータビット削除手段の出力をパラレル信号に変換する直並列変換手段を有する受信部とを備えたパラレル信号シリアル伝送装置である。

【0010】この構成により、安定な同期特性を持つことができ、同期に必要なビット数を削減でき、遅延時間を短縮できる。

【0011】請求項3の本発明は、入力したパラレル信号をシリアル信号に変換する並直列変換手段及び、その並直列変換手段の出力の後半部分に同期信号の一部と一致する信号成分を検出する同期信号成分検出回路及び、その検出された信号成分に一致する部分を除いた期間の同期信号を発生する部分同期信号発生手段及び、並直列変換手段の出力と部分同期信号発生手段との出力を集合し、シリアル信号を発生する直列信号集合手段を有する送信部と、その発生したシリアル信号を伝送する伝送路と、その伝送路から受信したシリアル信号から信号再生

の基準となる時間位置を検出する同期信号検出手段及び、その同期信号検出手段の出力を利用して、受信したシリアル信号をパラレル信号に変換する直並列変換手段を有する受信部とを備えたパラレル信号シリアル伝送装置である。

【0012】この構成により、安定な同期特性を持つことができ、同期に必要なビット数を削減でき、遅延時間を短縮できる。

【0013】

10 【発明の実施の形態】以下に、本発明をその実施の形態を示す図面に基づいて説明する。

（実施の形態1）図1は、本発明にかかる実施の形態1のパラレル信号シリアル伝送装置のブロック図である。図1において、1は送信部、2は受信部であり、それら送信部1及び受信部2は、シリアル伝送路4により接続されている。送信部1は、動作の基準となるクロックを発生するクロック発生手段11、同期信号を発生する同期信号発生手段12及び、発生した同期信号を付加し、入力パラレル信号3をシリアル信号に変換してシリアル信号伝送路4に出力するセパレータビット付加並直列変換手段13により構成されている。また、受信部2は、受信したシリアル信号からクロックを再生するクロック再生手段21、受信したシリアル信号から同期信号を検出する同期信号検出手段22及び、検出した同期信号を用いて、受信したシリアル信号をパラレル信号に変換するセパレータビット削除直並列変換手段23により構成されている。

20 【0014】次に、上記実施の形態1のパラレル信号シリアル伝送装置の動作について、図面を参照しながら説明する。

30 【0015】まず、送信側を説明する。クロック発生手段11は、シリアル信号の信号遷移を制御するために用いると同時に他の機能ブロックのクロックとしても用いられるクロックを発生する。セパレータビット付加並直列変換手段13は、入力パラレル信号3を N ビットずつの組に分け、それら組の間にセパレータビットを付加しながら入力パラレル信号3をシリアル信号に変換する。セパレータビット付加並直列変換手段13は、同期信号発生手段12の出力を合わせてシリアル信号として出力する。

40 【0016】ここでは、入力パラレル信号3のビット数を8、 N を4として説明する。同期信号は $N+2$ ビット、すなわち6ビットで表現でき、“000001”とする。またセパレータビットは“1”とする。セパレータビットによって入力パラレル信号の連続する“0”を N ビット以下に分断し、同期信号の $N+1$ ビットの連続する“0”と区別できるようにしている。例えば、パラレル入力信号を全て“0”だとすると、セパレータビットを含めたセパレータ付加直並列変換手段13の出力は、“000010000”となる。同期信号を合わせ

ると、"000010000000001"がシリアル信号伝送路4を通る信号となる。このように、従来よりも同期信号を加えたときのビット数が少なくなる。

【0017】次に、受信側の説明をする。図1において、クロック再生手段21は、シリアル信号伝送路4から受信したシリアル信号からクロックを再生する。クロック再生手段21は、PLL（フェーズ・ロックド・ループ）技術を使って実現できる。クロック再生手段21で再生されたクロックは、信号を受信するためのクロックとして用いられる。同期信号検出手段22はシリアル信号の中の同期信号を検出し、セバレータビット削除直並列変換手段23を制御し、パラレル信号へ変換するデータ位置を確定する。パラレル信号への変換においては、出力するパラレル信号としては不要なセバレータビットを捨てる。

【0018】同期信号発生手段12とセバレータビット付加並直列変換手段13の具体的な回路例を図4に、タイムチャートを図5に示す。図4において、31は6ビットのシフトレジスタ、32は9ビットのシフトレジスタ、33は出力シリアル信号、34はロード、35はクロック、36は入力パラレル信号である。また、図5において、41はクロック、43は出力シリアル信号、44はロード、45はタイムスロットを表す。ここでは以前に述べたように、Nを4、パラレル信号のビット数を8としてある。

【0019】6ビットシフトレジスタ31は、パラレル信号のロードが可能なシフトレジスタで、同期信号発生手段12に相当する。PI0からPI5がパラレル入力で、LD端子がハイ、すなわちロード34がハイになるとパラレル信号がロードされる。シリアル出力端子S0には、ロード34がハイになるとクロックのプラスエッジでPI0が出力される。ロード34がローになると、クロック35のプラスエッジで順にロードしたパラレル信号がシフトされていく。

【0020】9ビットシフトレジスタ32はシリアル入力SIを持ち、6ビットシフトレジスタ31のシリアル出力端子S0に接続される。従って、6ビットシフトレジスタ31と9ビットシフトレジスタ32は直列に接続され、全体で15ビットのシフトレジスタを形作っている。9ビットシフトレジスタ32は、ビット数を除き6ビットシフトレジスタ31と同じ機能を持っている。なお、9ビットシフトレジスタ32は、セバレータビット付加並直列変換手段13に相当する。9ビットシフトレジスタ32のパラレル入力には、入力パラレル信号36とセバレータビットを入力する。図4には示していないがこの例では、C1に"0"、C2に"1"、C3に"1"、C4に"0"、C5に"0"、C6に"0"、C7に"0"、C8に"0"が入力されているとする。

【0021】図5は、図4の動作を説明するタイムチャートを示す。図5において、41はクロック、43は出

カシリアル信号、44はロード、45はタイムスロットを示す。タイムスロット45は、1クロック期間がどの信号に割り当てられているかを示し、SYは同期信号、SPはセバレータビット、C1からC8はパラレル信号を表している。また、タイムスロットにはT1からT15までの番号を振っている。図5の例では、同期信号を"000001"、先に説明したようにC1からC8までを"01100000"、セバレータビットを"1"としてある。図5のロード44は、T1のクロック41のプラスエッジにおいてハイ、他の期間は"0"である。

【0022】ロード34がハイであれば、6ビットシフトレジスタ31と9ビットシフトレジスタ32はパラレル入力をロードし、9ビットシフトレジスタ32のSOには、9ビットシフトレジスタ32のPI0に入力された信号が現れる。T2では全体がシフトされPI1の信号が現れる。このように9ビットシフトレジスタ32のSOには、9ビットシフトレジスタ32と6ビットシフトレジスタ31のロードされた内容が順に現れ、出力シリアル信号43に示すような信号を出力する。なお、同期信号発生手段12とセバレータビット付加並直列変換手段13には、図4に示した2つのシフトレジスタ以外にロード34を発生する回路も必要である。以上のようにして9ビットシフトレジスタ32に入力された入力パラレル信号36は、シリアル信号に変換されてSO端子から出力シリアル信号33として出力される。

【0023】同期信号検出手段22とセバレータビット削除直並列変換手段23の具体的な回路例を図6に示す。図6において、51は6ビットシフトレジスタ、52は9ビットシフトレジスタ、53は6ビットの比較器、54は8ビットパラレルレジスタ、55は入力シリアル信号、56はクロック、57は出力パラレル信号である。

【0024】6ビットシフトレジスタ51は、シリアル入力と6ビットのパラレル出力を持っており、シリアル入力SIに加えられた信号は、クロック56のプラスエッジでパラレル出力PO0に現れ、クロック56の次以降のプラスエッジでPO1、PO2へと順にシフトされていく。9ビットシフトレジスタ52は、シリアル入力と9ビットのパラレル出力を持っており、機能は6ビットシフトレジスタ51とビット数を除き同じである。6ビットシフトレジスタ52のパラレル出力PO5は、9ビットシフトレジスタ52のシリアル入力SIに加えられる。9ビットシフトレジスタ52のパラレル出力はPO4を除き8ビットパラレルレジスタ54の入力に接続される。PO4はセバレータビットに該当する。

【0025】8ビットパラレルレジスタ54の出力は出力パラレル信号57である。6ビットシフトレジスタ51のパラレル出力は6ビット比較器53の入力に接続される。6ビット比較器53の他方の比較入力には同期信

10

20

30

40

50

号のパターンである”000001”を加えてある。6ビット比較器53の出力は、両方の比較入力、A0からA5とB0からB5が一致すると出力CMPがハイになる。このCMP出力は8ビットパラレルレジスタ54のロードを制御するLD入力に加えられ、この信号がハイになるとパラレル入力D0からD7の信号が、Q0からQ7に現れる。9ビットシフトレジスタ52と8ビットパラレルレジスタ54は、セパレータビット削除直並列変換手段23に、6ビットシフトレジスタ51と6ビット比較器53は同期信号検出手段22にそれぞれ相当する。

【0026】6ビットシフトレジスタ51に同期信号の”000001”が現れると、6ビット比較器53のCMP出力がハイになる。そうすると、8ビットパラレルレジスタ54は9ビットシフトレジスタ52の出力をロードし、Q0からQ7の出力に伝播する。こうして、入力シリアル信号がパラレル信号に変換される。なお、9ビットシフトレジスタ52のPO4出力は、セパレータビットに該当するので、8ビットパラレルレジスタ54には加えられず、そのデータは捨てられる。

【0027】上記実施の形態では、パラレル信号のビット数を8、セパレータビットを挿入する元のデータの長さNを4として説明した。図10には、パラレル信号ビット長を8、12、16、32、64、128、256ビットに、セパレータビットを挿入する元のデータの長さN（表ではセパレータ長と表記）を4、6、8、12、16ビットにした場合の、同期信号とセパレータビットの総数を示した。図10の中の太い文字で示した箇所は、同期信号とセパレータビットに必要なビット数が最小になる組で、扱うパラレル信号のビット長により、最適なセパレータ長が存在することを示している。

【0028】なお、上記実施の形態では、同期信号のパターンとセパレータビットの例を一つ使って動作を説明したが、他のパターンの組み合わせも存在する。

【0029】また、上記実施の形態では、時間的にデータの後ろに同期信号を付加した例を示したが、同期信号をデータの前に置くことも可能である。この場合送信部では同期信号発生手段12とセパレータビット付加並列変換手段13の信号経路に対する相対位置を前後すれば実現できる。また同様に受信部では、同期信号検出手段22とセパレータビット削除直並列変換手段23の信号経路に対する相対位置を前後すれば実現できる。

（実施の形態2）図2は、本発明にかかる実施の形態2のパラレル信号シリアル伝送装置のブロック図である。図2において、1は送信部、2は受信部であり、それら送信部1及び受信部2は、シリアル伝送路4により接続されている。送信部1は、動作の基準となるクロックを発生するクロック発生手段11、同期信号を発生する同期信号発生手段12、入力パラレル信号3をシリアル信号に変換する並直列変換手段14、並直列変換手段の出

力信号にセパレータビットを付加するセパレータビット付加手段15及び、そのセパレータビット付加手段15の出力と同期信号発生手段12の出力とを集合してシリアル信号伝送路4に出力する直列信号集合手段16により構成されている。また、受信部2は、受信したシリアル信号からクロックを再生するクロック再生手段21、受信したシリアル信号から同期信号を検出する同期信号検出手段22、検出した同期信号を用いて、受信したシリアル信号からセパレータビットを削除するセパレータビット削除手段24及び、そのセパレータビット削除手段24の出力信号をパラレル信号に変換する直並列変換手段25により構成されている。

【0030】次に、上記実施の形態2のパラレル信号シリアル伝送装置の動作について、図面を参照しながら説明する。

【0031】まず、送信側を説明する。クロック発生手段11は、シリアル信号の信号遷移を制御するために用いると同時に他の機能ブロックのクロックとしても用いられるクロックを発生する。実施の形態1に示した方法との相違点は、実施の形態1では、固定的にセパレータビットを挿入しているが、本実施の形態2では、データの並びを判断し、その判断結果に基づいてセパレータビットを挿入する点が異なる。セパレータビットの挿入規則を例えば”0”がN回連続すればセパレータビット”1”を挿入する」としたものである。

【0032】例えば、セパレータビット挿入規則を”0”が4回連続するとセパレータビット”1”を挿入する」とし、パラレル信号を8ビット、入力パラレル信号3を”01100000”とする。そうすると、セパレータビットが挿入された信号は”011000010”となる。送信部1において、並直列変換手段14は入力パラレル信号3をシリアル信号に変換し、セパレータビット付加手段15はそのシリアル信号を検査し、連続する4つの”0”を検出したならばセパレータビット”1”を挿入する。直列信号集合手段16は、セパレータビット付加手段15の出力と、同期信号発生手段12が発生するN+2ビットの同期信号、例えば”000001”を集合し、1つのシリアル信号を作り出す。

【0033】次に、受信側の説明をする。図2において、クロック再生手段21は、シリアル信号伝送路4から受信したシリアル信号からクロックを再生する。クロック再生手段21は、PLL（フェーズ・ロック・ループ）技術を使って実現できる。クロック再生手段21で再生されたクロックは、信号を受信するためのクロックとして用いられる。同期信号検出手段22はシリアル信号の中の同期信号を検出する。セパレータビット削除手段24は、受信したシリアル信号を検査してセパレータビット削除規則”0”がN回連続した後のセパレータビット”1”は削除する」を実行する。送信部1の説明の例にしたがって説明すると、”0”が4回連続し

10

20

30

40

50

た後のセパレータビット”1”は削除する」という規則となる。シリアル信号”011000010”は”11”の後に”0”が4回連続し、”1”が続くので、この”1”は削除する。従って”01100000”を得ることができる。直並列変換手段25はセパレータビットが削除されたシリアル信号をパラレル信号に変換し、出力パラレル信号5を作り出す。

【0034】本実施の形態2は、前述の実施の形態1に比べ、データの内容を判断してセパレータビットを挿入するため、不必要なセパレータビットの挿入によるデータビット長の増加が少ない点が特長である。図11に、パラレル信号ビット長を8、12、16、32、64、128、256ビットに、セパレータビットを挿入する元のデータの長さN（表ではセパレータ長と表記）を4、6、8、12、16ビットにした場合の、同期信号とセパレータビットの総数を示した。「6-7」と表記してある部分は、左側の数値が最小のビット数、右側が最大のビット数を示している。

（実施の形態3）図3は、本発明にかかる実施の形態3のパラレル信号シリアル伝送装置のブロック図である。図3において、1は送信部、2は受信部であり、それら送信部1及び受信部2は、シリアル伝送路4により接続されている。送信部1は、動作の基準となるクロックを発生するクロック発生手段11、入力パラレル信号3をシリアル信号に変換する並直列変換手段14、その並直列変換手段14の出力信号の後半部分で同期信号の一部分と一致する信号成分を検出する同期信号成分検出手段17、その同期信号成分検出手段17の検出結果に基づいて、その同期信号の一部分と一致する信号成分を除いた残りの部分の同期信号を発生する部分同期信号発生手段18及び、その部分同期信号発生手段18の出力と並直列変換手段14の出力とを集合してシリアル信号伝送路4に出力する直列信号集合手段19により構成されている。また、受信部2は、受信したシリアル信号からクロックを再生するクロック再生手段21、受信したシリアル信号から同期信号を検出する同期信号検出手段22、その同期信号検出手段22の出力に基づいて、受信したシリアル信号をパラレル信号に変換する直並列変換手段26により構成されている。

【0035】次に、上記実施の形態3のパラレル信号シリアル伝送装置の動作について、図面を参照しながら説明する。

【0036】本実施の形態3は、信号に含まれる同期信号と同じ部分を積極的に同期信号として利用する点が特長である。図7に、データの一部を同期信号として使う例を示す。データが8ビットで”01100000”、同期信号を10ビットの”0000000001”とする。データの後半部分の”00000”は同期信号の先頭の部分として使うと、全体は13ビットとなり5ビットの削減ができる。

【0037】まず、送信側を説明する。クロック発生手段11は、シリアル信号の信号遷移を制御するために用いると同時に他の機能ブロックのクロックとしても用いられる。並直列変換手段14は、入力パラレル信号3をシリアル信号に変換する。同期信号成分検出手段17は、並直列変換手段14が変換したシリアル信号の中に含まれる同期信号として利用できる部分の長さを検出する。検出した結果は、図7のJに相当する部分の長さである。この検出結果は、部分同期信号発生手段18に送られる。部分同期信号発生手段18は、同期信号として利用できる部分の長さを除いた同期信号を発生する。図7ではSに相当する部分である。直列信号集合手段19は並直列変換手段14の出力と、部分同期信号発生手段18の出力を合わせて、一つのシリアル信号を作り出し、シリアル信号伝送路4にシリアル信号を送出する。

【0038】次に、受信側の説明をする。クロック再生手段21は、シリアル信号伝送路4から受信したシリアル信号からクロックを再生する。クロック再生手段21は、PLL（フェーズ・ロック・ドループ）技術を使って実現でき、再生されたクロックは、信号を受信するためのクロックとして用いられる。同期信号検出手段22はシリアル信号の中の同期信号を検出する。直並列変換手段26は、シリアル信号を、同期信号検出手段22の出力で決定された位置で、出力パラレル信号5に変換する。

【0039】本実施の形態は、信号の特定パターンの発生頻度が多い場合にビット削減の効果が大きい方法である。なお、前述した実施の形態1や実施の形態2の方法と組み合わせることも可能である。

【0040】このように、本発明のパラレル信号シリアル伝送装置は、送信側には、シリアル伝送に必要な同期信号発生手段や直並列変換手段と、同期信号との識別が可能になるように、セパレータビットを付加する機構や、有効なデータ中に同期信号として利用できる部分を見つけ、実効的に同期信号の長さを減少させる機構を構成し、受信側には同期信号を検出する同期信号検出手段と、直並列変換手段、セパレータビットを削除する手段を構成したものである。

【0041】この構成により、パラレル信号をシリアル信号に変換した信号には存在し得ない同期信号を用いるため、同期乱れが発生しても、最低一周期の期間で同期が修復でき、かつ同期信号の長さを短縮することができるため遅延時間が短いパラレル信号シリアル伝送装置が得られる。

【0042】

【発明の効果】以上述べたところから明らかなように本発明は、比較的短い遅延時間を持ち、操作が容易で安定した信号伝送が行えるパラレル信号シリアル伝送装置を提供できる。

【図面の簡単な説明】

【図 1】本発明にかかる第 1 の実施の形態の平行信号シリアル伝送装置のブロック図である。

【図 2】本発明にかかる第 2 の実施の形態の平行信号シリアル伝送装置のブロック図である。

【図 3】本発明にかかる第 3 の実施の形態の平行信号シリアル伝送装置のブロック図である。

【図 4】上記第 1 の実施の形態における同期信号発生手段とセバレータビット付加並直列変換手段の具体的な回路例を示す図である。

【図 5】上記図 4 の動作をあらわしたタイムチャートである。

【図 6】上記第 1 の実施の形態における同期信号検出手段とセバレータビット削除直並列変換手段の具体的な回路例を示す図である。

【図 7】上記第 3 の実施の形態におけるデータの一部を同期信号として使う例を示す図である。

【図 8】同期信号とパラレルデータの信号を含む有効信号の関係を示すタイムチャートである。

【図 9】信号が変化したとき、その信号がシリアル伝送で受信側に伝わる様子を示すタイムチャートである。

【図 10】上記第 1 の実施の形態における平行信号ビット長と、セバレータビットを挿入する元のデータの長さ N に対する同期信号とセバレータビットの総数の関係を示す図である。

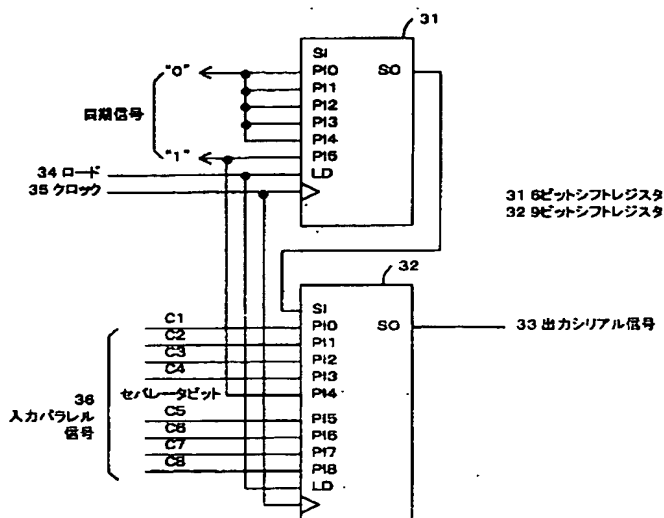
【図 11】上記第 2 の実施の形態における平行信号ビット長と、セバレータビットを挿入する元のデータの

長さ N に対する同期信号とセバレータビットの総数の関係を示す図である。

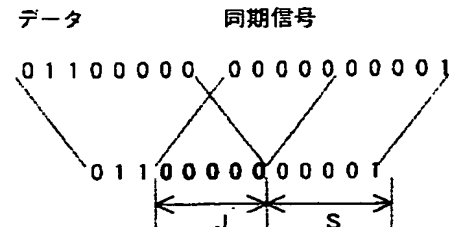
【符号の説明】

- 1 送信部
- 2 受信部
- 3 入力平行信号
- 4 シリアル信号伝送路
- 5 出力平行信号
- 11 クロック発生手段
- 12 同期信号発生手段
- 13 セバレータビット付加並直列変換手段
- 14 並直列変換手段
- 15 セバレータビット付加手段
- 16、19 直列信号集合手段
- 17 同期信号成分検出手段
- 18 部分同期信号発生手段
- 21 クロック再生手段
- 22 同期信号検出手段
- 23 セバレータビット削除直並列変換手段
- 24 セバレータビット削除手段
- 25、26 直並列変換手段
- 31、51 6ビットシフトレジスタ
- 32、52 9ビットシフトレジスタ
- 53 6ビット比較器
- 54 8ビット平行レジスタ

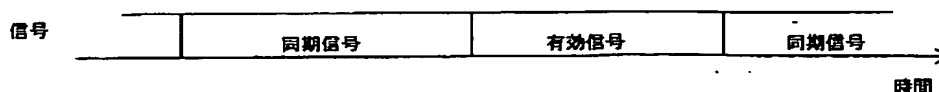
【図 4】



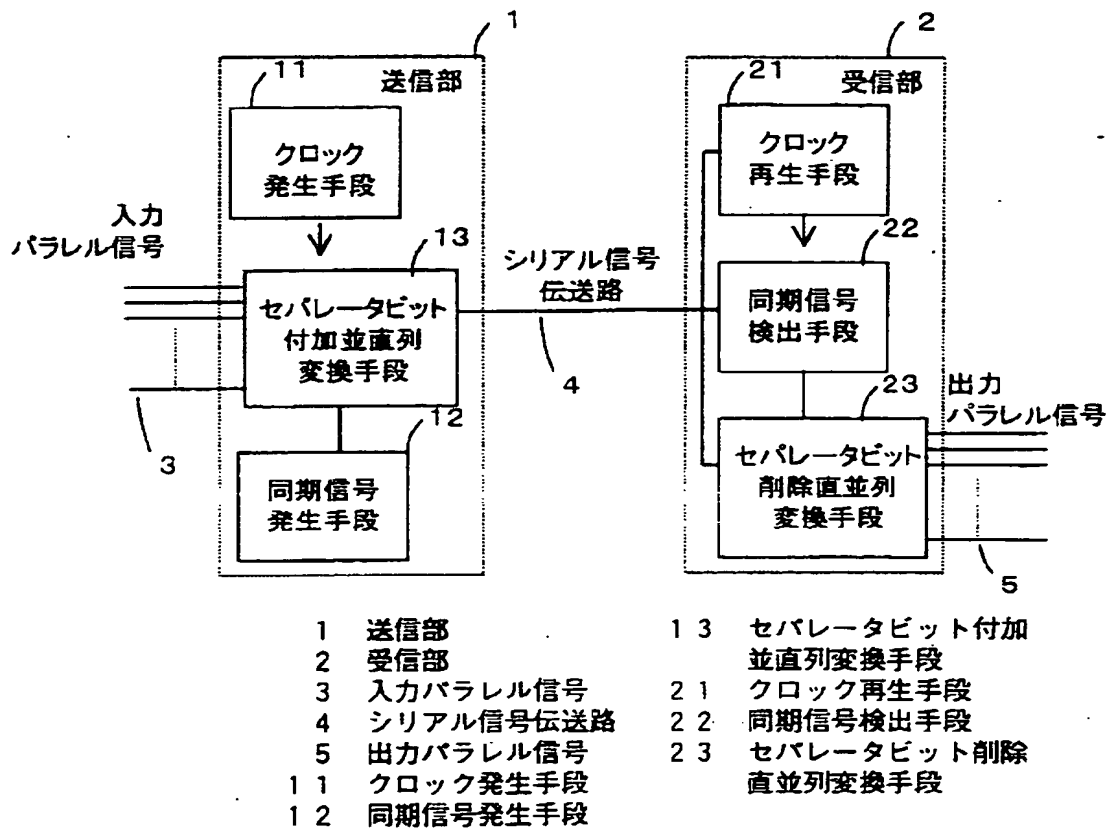
【図 7】



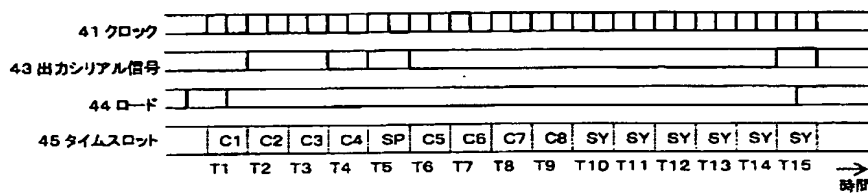
【図 8】



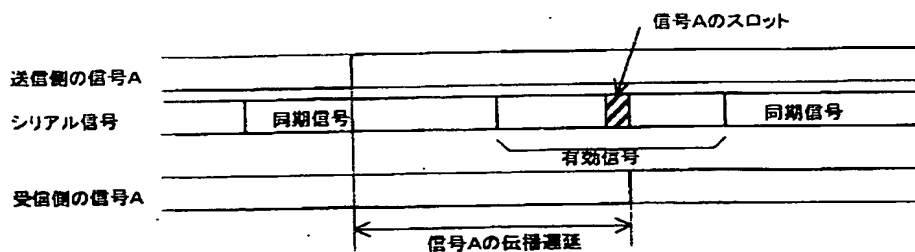
【図1】



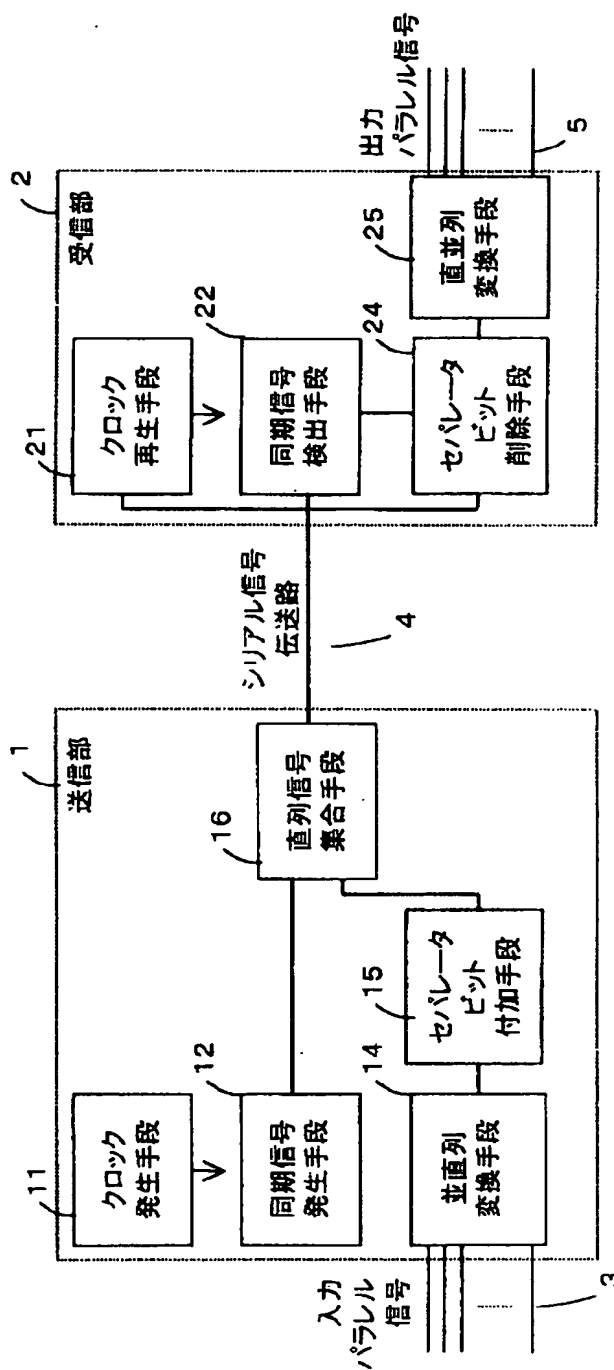
【図5】



【図9】



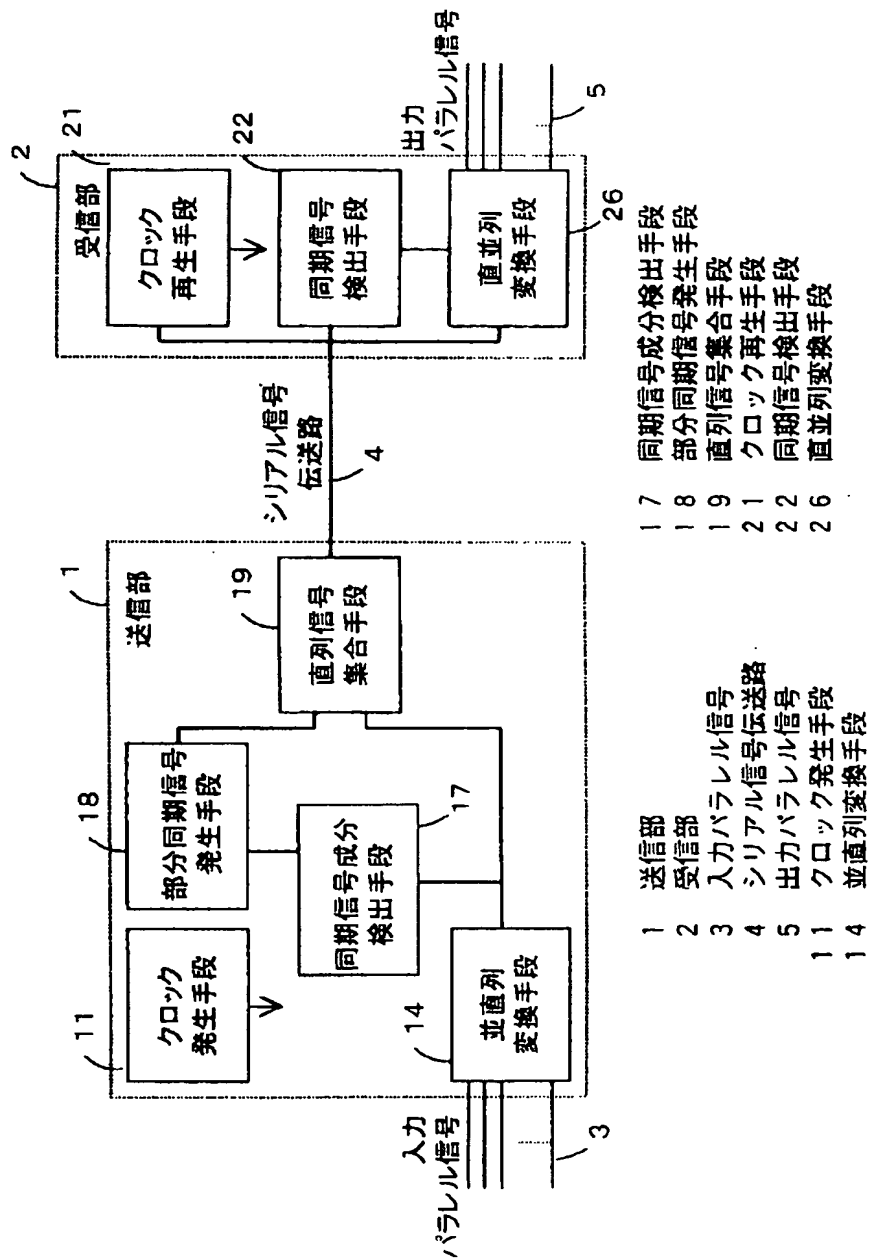
【図 2】



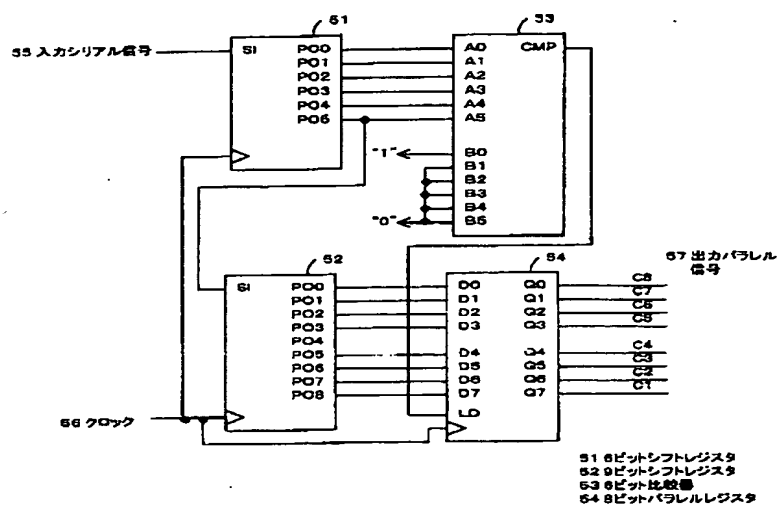
1 4 並直列変換手段
 1 5 セパレータビット付加手段
 1 6 直列信号集合手段
 2 1 クロック再生手段
 2 2 同期信号検出手段
 2 4 セパレータビット削除手段
 2 5 直並列変換手段

1 送信部
 2 受信部
 3 入力パラレル信号
 4 シリアル信号伝送路
 5 出力パラレル信号
 1 1 クロック発生手段
 1 2 同期信号発生手段

【図 3】



【図6】



【図10】

セパレータ パラレル 信号ビット長	4	6	8	12	16
8	7	9	10		
12	8	9	11	14	
16	9	10	11	15	18
32	13	13	13	16	19
64	21	18	17	19	21
128	37	29	25	24	25
256	69	50	41	35	33

【図11】

セパレータ パラレル 信号ビット長	4	6	8	12	16
8	6-7	8-9	10		
12	6-8	8-9	10-11	14	
16	6-9	8-10	10-11	14-15	18
32	6-13	8-13	10-13	14-16	18-19
64	6-21	8-18	10-17	14-19	18-21
128	6-37	8-29	10-25	14-24	18-25
256	6-69	8-50	10-41	14-35	18-33